

특 1999-030065

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

BEST AVAILABLE COPY

(51) Int. Cl.<sup>6</sup>  
H01L 21/20

(11) 공개번호 특 1999-030065  
(43) 공개일자 1999년 04월 26일

(21) 출원번호	특 1998-039446
(22) 출원일자	1998년 09월 23일
(30) 우선권 주장	9-279878 1997년 09월 26일 일본 (JP)
(71) 출원인	신에프 한도타이 컴파니 리미티드 와다 다다시
(72) 발명자	일본 도쿄도 치요다구 마루노우치 1-초메 4-2 아가 히로지 일본, 군마-겐, 마나카-시, 이소베 2-쵸메, 13-1, 신에프 한도타이 컴파니 리미티드, 이소베 알렌디 센터내 미타니 키요시 일본, 군마-겐, 마나카-시, 이소베 2-쵸메, 13-1, 신에프 한도타이 컴파니 리미티드, 이소베 알렌디 센터내 이나즈끼 유키오 일본, 군마-겐, 마나카-시, 이소베 2-쵸메, 13-1, 신에프 한도타이 컴파니 리미티드, 이소베 알렌디 센터내
(74) 대리인	손원, 전준향

심사청구: 없음

(54) SOI 웨이퍼 제조방법 및 그 방법에 의해 제조된 SOI 웨이퍼

요약

SOI 웨이퍼 제조법에서, 2개의 실리콘 웨이퍼중 최소 하나의 표면에 산화막이 형성되고; 웨이퍼내에 미소 기포층(enclosed layer)을 형성하기 위하여 2개의 실리콘 웨이퍼중 하나의 상부 표면에 수소 이온 또는 희유 기체 이온이 주입되며; 이온-주입된 표면이 산화막을 통해 다른 실리콘 웨이퍼의 표면과 밀착되도록 이온-주입된 실리콘 웨이퍼는 다른 실리콘 웨이퍼위에 겹쳐지며; 박막을 형성하기 위하여, 미소 기포층을 박리면으로 사용하면서 이온-주입된 웨이퍼의 일부를 박리하기 위하여 열처리를 수행함으로써 SOI 웨이퍼를 얻는다. 상기 방법에서, 이렇게 얻은 SOI 웨이퍼의 박리된 표면의 결함층(defect layer)은 기체상 에칭을 통하여 200 nm 이상의 깊이로 제거한 다음, 경면 연마(mirror polishing)가 수행된다. 따라서, 얻어진 SOI 웨이퍼는 매우 낮은 수준의 결함을 가지며 높은 두께 균일도를 갖는다.

도표

도 1

발명사

도면의 간단한 설명

도 1은 이온-주입된 웨이퍼를 다른 웨이퍼에 결함하고 이온-주입된 웨이퍼의 일부를 박리함으로써 SOI 웨이퍼를 얻는 SOI-웨이퍼 제조 방법의 예를 나타내는 흐름도이다.

도 2A 및 2B는 PACE(plasma assisted chemical etching) 방법에 의해 수행되는 증기상 에칭 방법을 나타내는 개략도이며, 여기서 도 2A는 사시도이며, 도 2B는 단면도이다.

도 3은 도 1에 나타난 방법에 의해 제조된 SOI 웨이퍼의 박리된 표면에서의 결정 결함층과 결함 피트(pits) 밀도와의 관계를 나타내는 그래프이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 이온-주입된 웨이퍼를 다른 웨이퍼에 결함하고, 그 이온-주입된 웨이퍼의 일부를 박리함으로써 SOI 웨이퍼를 얻는 방법(스마트-컷(smart-cut) 방법)에 따라 제조된 SOI(silicon on insulator) 구조를 갖는 웨이퍼의 표면 처리에 관한 것이다.

중래에는, SOI 구조를 갖는 웨이퍼를 제조하는 방법으로 2가지 방법이 널리 알려져 있다. 한 가지 방법은 산소 이온을 고농도로 실리콘 단결정내에 주입시킨 다음, 산화막을 형성하기 위하여, 고온에서 열처리를 수행하는 SIMOX(separation by implanted oxygen)이다. 다른 방법은 2개의 거울-연마된 실리콘 웨이퍼를 접착제를 사용하지 않고 함께 결합한 다음, 웨이퍼중 하나를 박막화하는 방법이다.

SIMOX 방법에서, 소자 활성 영역이 되는 SOI층의 두께는 산소 이온 주입시 가속 전압 조정을 통해 결정하고 제어할 수 있다. 따라서, SIMOX방법은 높은 두께 균일성(이하 두께 균일성(thickness uniformity)라 함)을 갖는 얇은 SOI층을 쉽게 형성할 수 있는 잇점을 갖는다. 그러나, SIMOX법은 매립된 산화막의 신뢰성, SOI층의 결정화도, 및 1300°C 이상의 온도에서의 열처리 필요성 등에 관해 많은 문제점들을 갖는다.

한편, 웨이퍼 결합법에서는, 2개의 거울-연마된 실리콘 단결정 웨이퍼중 최소 하나에 산화막을 형성하고, 접착제를 사용하지 않고 함께 결합한 다음 결합을 강화하기 위하여 열처리(전형적으로 1100 ~ 1200°C에서)시키며; 이어서, 웨이퍼를 박막화하기 위해 웨이퍼중 하나를 연삭하거나 습식 에칭시킨후, 그 표면을 거울-연마하여 SOI 층을 형성한다. 따라서, 매립된 산화막의 신뢰성이 높으며, SOI 층의 결정성이 좋다. 그러나, 박막이 기계적 가공 방법으로 형성되기 때문에, 결과물인 SOI 층의 두께 및 그 균일성에 한계가 있다.

웨이퍼 결합법에서는, 실리콘 웨이퍼가 함께 결합될 뿐 아니라, SOI 층을 형성하기 위하여, 실리콘 웨이퍼가 SiO<sub>2</sub>, SiC, Al<sub>2</sub>O<sub>3</sub> 등의 절연 웨이퍼에 직접적으로 결합될 수 있다.

최근, 대중의 관심은 새로운 SOI 웨이퍼 제조 방법에 집중되어 왔다; 즉, 이온-주입된 웨이퍼를 다른 웨이퍼에 결합하고 그 이온-주입된 웨이퍼의 일부를 박리함으로써 SOI 웨이퍼를 얻는 소위 스마트-컷 방법이다. 이 방법에서는, 2개의 실리콘 웨이퍼중 최소 하나의 표면에 산화막을 형성하고; 웨이퍼내에 미세 기포층(봉입층)을 형성하기 위하여 2개의 실리콘 웨이퍼중 하나의 표면으로 수소 이온 또는 희유 기체 이온들을 주입하고; 이온-주입된 표면이 산화막을 통하여 다른 실리콘 웨이퍼와 밀착하도록 이온 주입된 실리콘 웨이퍼를 다른 실리콘 웨이퍼에 겹치며; 박막을 형성하기 위하여, 미세 기포층을 박리면으로 사용하면서 이온-주입된 웨이퍼의 일부를 박리하기 위하여 열처리를 수행하고; 열처리를 다시 수행하여 박막과 다른 웨이퍼를 견고하게 결합함으로써 SOI 웨이퍼를 얻는다(일본 특허 공개 제 5-211128 참조). 또한, 이 방법에서는, 박리의 결과로 형성된 표면(이하 박리면(delaminated surface)이라 한다)은 거울형 표면을 가지기 때문에, SOI 층이 높은 두께 균일성을 갖는 SOI 웨이퍼를 비교적 쉽게 얻는다.

상기 방법의 최종 단계에서는; 표면 거칠기를 감소시키고 결합층을 제거하기 위하여, 터치 연마(touch polishing)라 부르는; 극소량의 스톡(stock) 제거용 경면 연마(70 ~ 100nm)를 직접 행한다.

그러나, H. Basseil 등(J. Electrochem. Soc., 140, pp 1713, 1993)에 의해 개시된 4단계 Secco-에칭에 따라 아직 터치 연마하지 않은 SOI 층을 평가하면, SOI 층에서의 결정 결합층의 두께는 약 200nm인 것으로 발견되었다. 결합층은 수소 이온 주입시 발생된 변형 및 손상에 기인한 것으로 생각된다.

이러한 결합층은 터치 연마에 의해 제거된 스톡의 양이 200nm 이상으로 증가되면 제거될 수 있다. 그러나, 이러한 경우; 웨이퍼 전체 표면에 걸친 스톡 제거의 균일성이 저하되며, SOI 층의 두께 변화가 증대되는 결과를 낳는다. 특히 SOI 층의 두께가 작을 경우, 두께 변화 증대는 반도체 소자에 큰 역효과를 일으켜서 제품 가치가 손실되는 결과를 낳는다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점들을 감안하여 이루어졌다. 본 발명의 목적은 이온-주입된 웨이퍼를 다른 웨이퍼와 결합시키고 그 이온-주입된 웨이퍼의 일부를 박리함으로써 SOI 웨이퍼를 얻는 방법을 통해, 얻은 박리된 표면속에 깊이 존재하는 결정 결합층을 확실하게 제거함으로써, 양호한 두께 균일성 및 높은 결정성을 갖는 SOI 웨이퍼를 비교적 용이하게 비교적 저비용으로 제조하는 방법을 제공하는 것이다.

#### 본 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 2개의 실리콘 웨이퍼중 최소 하나의 표면에 산화막을 형성하고; 웨이퍼내에 미세 기포층(봉입층)을 형성하기 위하여 2개의 실리콘 웨이퍼중 하나의 상부 표면으로 수소 이온 또는 희유 기체 이온들을 주입시키며; 이온-주입된 표면이 산화막을 통하여 다른 실리콘 웨이퍼의 표면과 밀착하도록 이온-주입된 실리콘 웨이퍼를 다른 실리콘 웨이퍼위에 겹치고; 박막을 형성하기 위하여, 미세 기포층을 박리면으로 사용하면서, 이온-주입된 웨이퍼의 일부를 박리하기 위하여 열처리를 수행함으로써 SOI 웨이퍼를 얻으며, 이렇게 얻은 SOI 웨이퍼의 박리된 표면의 결합층을 기체상 에칭을 통하여 제거하는, SOI 웨이퍼 제조 방법을 제공한다.

상기한 바와 같이, 이온-주입된 웨이퍼가 다른 웨이퍼에 결합하고 이온-주입된 웨이퍼의 일부가 박리됨으로써 SOI 웨이퍼를 얻는 방법에 따라 SOI 웨이퍼를 제조할 경우, SOI 웨이퍼의 박리면에 두꺼운 결정 결합층이 형성된다. 이와같은 결합층을 제거하는데 증기상 에칭(vapor-phase etching)이 효과적이다. 증기상 에칭을 통하여, 다량의 스톡이 제거되는 경우에도, SOI 층의 두께를 균일하게 하면서 결정 결합층을 제거할 수 있다.

본 발명은 또한 웨이퍼내에 미세 기포층(봉입층)을 형성하기 위하여 수소 이온 또는 희유 기체 이온들을 실리콘 웨이퍼의 상부 표면으로 주입시키며; 이온-주입된 표면이 절연성 웨이퍼와 밀착하도록 이온-주입된 웨이퍼를 절연성 웨이퍼상에 겹치게 하고; 박막을 형성하기 위하여, 미세 기포층을 박리 평면으로 사용하면서, 이온 주입된 웨이퍼의 일부를 박리하기 위하여 열처리를 수행함으로써 SOI 웨이퍼를 얻으며, 이렇게 얻은 SOI 웨이퍼의 박리면에서의 결합층은 증기상 에칭을 통하여 제거하는 SOI 웨이퍼 제조방법을 제공한다.

상기한 바와 같이, 이온-주입된 웨이퍼를 다른 웨이퍼에 결합하고, 그 이온-주입된 웨이퍼의 일부를 박리함으로써 SOI 웨이퍼를 얻는 방법은 실리콘 웨이퍼가 함께 결합되는 경우 뿐 아니라, 실리콘 웨이퍼가

$\text{SiO}_2$ ,  $\text{SiC}$ ,  $\text{Al}_2\text{O}_3$  등의 절연체 웨이퍼에 직접 결합되는 경우에도 적용할 수 있다.

바람직하게는, 결합층은 증기상 에칭에 의해 200 nm 이상의 깊이까지 제거되는 것이 좋다.

결합층이 200 nm 이상의 깊이로 제거되면, 결합층은 확실하게 제거될 수 있다. 따라서, S01층이 균일한 두께를 갖는 S01 웨이퍼를 제조하는 것이 가능하게 된다.

바람직하게는, 증기상 에칭에 의해 처리된 표면은 그후 경면 연마 처리된다.

결정 결합층이 증기상 에칭을 이용한 표면처리를 통하여 확실하게 제거된다 하더라도, 표면 처리동안 헤이즈(haze)라 하는 표면 거칠기가 새로 발생된다. 그러나, 이러한 표면 거칠기는, 필요하다면, 경면 연마, 또는 보다 바람직하게는 터치 연마를 통해 제거될 수 있다.

본 발명의 방법은 이온-주입된 웨이퍼를 다른 웨이퍼에 결합하고, 그 이온 주입된 웨이퍼의 일부를 박리함으로써 S01 웨이퍼를 얻는 방법으로 제조된 S01 웨이퍼의 박리된 표면에 있는 결정 결합층을 제거할 수 있도록 한다. 따라서, 아주 낮은 수준의 결합과 양호한 두께 균일성을 갖는 S01 층을 갖는 S01 웨이퍼를 얻을 수 있다.

상기한 바와 같이, 본 발명에서는, 이온-주입된 웨이퍼를 다른 웨이퍼에 결합하고 그 이온-주입된 웨이퍼의 일부를 박리함으로써 S01 웨이퍼를 얻는 방법에 의해 제조된 S01 웨이퍼의 S01 층의 표면의 결정 결합층을 제거하기 위하여 증기상 에칭을 수행한다. 따라서, S01 층의 막두께는 균일하게 만들어질 수 있다. 또한, S01 층의 표면 거칠기를 감소시키기 위하여 거울 연마를 추가적으로 수행할 경우, 균일한 두께, 감소된 표면 거칠기, 아주 낮은 수준의 결합 및 높은 결정성의 S01 층을 갖는 S01 웨이퍼를 비교적 용이하고 싼 비용으로 제조하는 것이 가능하게 된다.

이하 본 발명의 실시예를 도면을 참조로 하여 기술한다. 그러나, 본 발명은 이에 한정되는 것은 아니다.

본 발명에 대한 기술은 2개의 실리콘 웨이퍼가 함께 결합되는 경우에 초점을 맞춘다.

도 1은 이온-주입된 웨이퍼를 다른 웨이퍼에 결합하고 그 이온-주입된 웨이퍼의 일부를 박리함으로써 S01 웨이퍼를 얻으며, 부가적으로 증기상 에칭 단계(vapor-phase etching step)와 터치 연마 단계(touch polishing step)를 포함하는 S01-웨이퍼 제조 방법을 나타내는 공정도이다. 이 방법은 공정 단계의 순서가 서로 다른 2개의 다른 방법(방법 A와 방법 B)으로 수행될 수 있다. 먼저, 방법 A를 기술한다.

방법 A의 단계 1에서는, 소자 사양에 맞는 2개의 경면-연마된 실리콘웨이퍼 20 및 21을 제조한다.

방법 A의 단계 2에서는, 웨이퍼중 최소 하나(이 경우에는 웨이퍼 20)를 열산화시켜 이들의 표면에 약 0.1 ~ 2.0  $\mu\text{m}$ 의 두께를 갖는 산화막 30을 형성한다.

방법 A의 단계 3에서는, 다른 실리콘 웨이퍼 21의 한 표면에 수소 이온 또는 희유 기체 이온들을 주입시켜 이온 주입의 평균 깊이에 상응하는 위치의 표면에 평행하게 성장하는 미소 기포층(봉입층)40을 웨이퍼 내에 형성한다. 주입 온도는 25 ~ 450°C가 바람직하다.

방법 A의 단계 4에서는, 이온-주입된 표면이 웨이퍼 20의 산화막 30과 밀착하도록 이온-주입된 웨이퍼 21을 다른 웨이퍼 20에 겹친다. 형성 분위기에 실온에서 2개의 웨이퍼의 표면이 서로 밀착할 경우, 웨이퍼들은 접착제 등을 사용하지 않고 서로 부착한다.

단계 5에서는, 봉입층 40을 박리면으로 사용하면서, 상부 웨이퍼부 280이 하부 S01 웨이퍼 10(S01 층 25, 매립 산화층 26, 및 기판 웨이퍼 27로 구성됨)으로부터 박리되는 박리용 열처리가 수행된다. 즉, 비활성 기체 분위기하에 약 500°C 이상의 온도에서 열처리가 수행되면 결정 재배열 및 기포 응집이 발생하여 하부 S01 웨이퍼로부터 상부 웨이퍼부를 박리시킨다. 그 후 박리된 상부 웨이퍼부 280이 제거된다.

단계 6에서는, 단계 4에서 부여된 결합력은 소자 공정용으로는 너무 낮기 때문에, 결합력을 충분한 수준으로 증가시키기 위하여 상기 단계 4에서 서로 밀착하도록 한 웨이퍼들에 열처리를 가한다. 바람직하게는, 이 열처리는 비활성 기체 분위기하에서 1050 ~ 1200°C에서 30분 ~ 2시간동안 수행한다.

대안으로서, 단계 5에서 박리된 상부 웨이퍼부 280이 하부 S01 웨이퍼로부터 제거되지 않도록, 단계 5에서의 박리를 위한 열처리 및 단계 6에서의 결합을 위한 열처리를 연속적으로 수행할 수 있다. 대안으로, 단계 5 및 6을 위해 단일 열처리를 수행할 수도 있다.

단계 7에서는, 증기상 에칭을 통하여, S01 층 25의 표면인 박리면 50의 결정 결합층을 제거하고 S01층 25의 두께를 균일하게 만든다. 이 단계는 도 2A와 2B에 나타난 바와 같이, 증기상 에칭을 수행하기 위하여 RF 플라즈마 160이 공동 12내에서 국부적으로 발생하는 PACE 방법을 사용하는 것이 바람직하다. 상기한 단계 5-6-7의 순서는 5-7-6으로 변경할 수 있다.

PACE 방법은 건식 에칭의 한가지 형태이다. 먼저, S01 웨이퍼 10의 S01층의 두께 분포를 측정한다. 공동 12가 S01 웨이퍼 10 상에서 이동할 때, 공동 12의 이동 속도는 두께 분포에 따라 조절되므로, 각 부분이 플라즈마 16에 노출되는 동안의 시간이 조절된다. 결과로서, 표면에서의 에칭 제거량이 조절되므로, S01 층의 표면 결합층이 제거되면서, S01 웨이퍼 10의 S01 층의 두께가 균일하게 만들어진다. 플라즈마 16은 RF 전압을 RF 전원 15로부터 S01 웨이퍼 10의 위아래에 위치한 전극 13 및 14에 인가함으로써 공동 12내에 국부적으로 발생된다. 공동 12는 S01 웨이퍼 10상에서 자유롭게 이동할 수 있도록 지지된다.

본 발명은 S01 층 25의 표면인 박리면 50의 결정 결합층을 제거하고, S01층 25의 두께를 균일하게 만들기 위하여 증기상 에칭 단계를 수행하는 PACE 방법을 사용할 뿐 아니라 이 PACE 방법의 여러 조건을 주의깊게 결정함으로써 성취되었다.

특히, 기체상 에칭은 200 nm 이상의 깊이까지 수행되는 것이 바람직하다. 따라서, 이온 주입에 의해 유도된 표면 결합, 표면 손상 등은 확실하게 제거할 수 있다.

기체상 에칭은 다량의 스톱이 제거되는 경우에도, S01층의 두께 균일성을 감소시키지 않고, 결정 결합층

를 제거하고 두께 균일성을 향상시킬 수 있다는 것이 확인되었다.

단계 8은 단계 7에서의 증기상 에칭 동안 발생된 표면 헤이즈를 제거하기 위한 터치 연마 단계이다. 필요 하다면, 기체상-에칭된 표면은 5 ~ 15 nm로, 바람직하게는 약 10 nm로 경면-연마된다.

상기한 방법에 의해, 높은 두께 균일성을 갖는 S01층 25를 갖는 고품질의 S01 웨이퍼 100이 제조된다.

이하 방법 B에 의한 S01 웨이퍼 제조 방법을 기술한다. 방법 B의 단계 1에서는, 소자 사양에 적합한 2개의 경면-연마된 실리콘 웨이퍼 22 및 23를 제조한다. 방법 B의 단계 2에서는, 웨이퍼중 최소 하나(이 경우 웨이퍼 23)를 열산화시켜 이들의 표면에 약 0.1 ~ 2.0  $\mu\text{m}$ 의 두께를 갖는 산화막 31을 형성한다. 방법 B의 단계 3에서는, 수소 이온 또는 희유 기체 이온들을 웨이퍼 23의 산화막 31로 주입시켜 웨이퍼내 에 이온 주입의 평균 깊이에 상응하는 위치에서 표면에 평행하게 신장하는 미세 기포층(내포층) 41을 형성한다. 주입 온도는 25 ~ 450°C가 바람직하다. 방법 B의 단계 4에서는, 웨이퍼 23의 이온-주입된 표면 또는 산화막 31이 실리콘 웨이퍼 22의 표면과 밀착하도록 이온-주입된 웨이퍼 23을 실리콘 웨이퍼 22상에 겹친다. 청정 분위기하의 실온에서 두 웨이퍼의 표면들이 서로 접촉될 경우, 웨이퍼들은 접착제 등을 사용하지 않고 서로 접착된다.

이어서, 단계 5 ~ 8에서는, 방법 A에서와 동일한 처리 방법들을 수행함으로써 결정 결합없이 균일한 두께를 갖는 S01 층을 갖는 S01 웨이퍼를 얻는다.

#### 실시예

다음으로, 본 발명을 실시예에 의해 기술한다. 그러나, 본 발명은 이에 한정되지는 않는다.

#### (실시예)

지름 150mm를 갖는 28개의 경면-연마된 실리콘 웨이퍼들(전도형 : p형; 비저항: 10  $\Omega \cdot \text{cm}$ )을 제조하였다. 이들 웨이퍼들을 도 1에 나타난 방법 B의 단계 1 ~ 6에 의해 처리함으로써 두께 870nm를 갖는 S01층을 갖는 14개의 S01 웨이퍼들을 얻었다. 이 방법에 사용된 주요 공정 조건들은 다음과 같다:

a) 매립된 산화막의 두께 : 400 nm;

b) 수소 주입 조건 : H<sup>+</sup> 이온, 주입 에너지: 150 keV, 주입량:  $8 \times 10^{16}/\text{cm}^2$ ; c) 박리용 열처리 조건 : N<sub>2</sub> 기체 분위기하, 500°C에서 30분간; 및

d) 결합용 열처리 조건 : N<sub>2</sub> 기체 분위기하, 1100°C에서 2시간.

이와같이 제조된 S01 웨이퍼들중, 12개의 S01 웨이퍼들을 S01층이 90nm, 140nm, 190nm, 290nm, 490nm 또는 690nm(6 종류)의 깊이로 에칭되도록 PACE 방법에 따라 2개를 한 번에 증기상 에칭 처리하였다. 이어서, 각 S01 층의 표면에서 결합 피트의 밀도(이하 결합 피트 밀도라 함)를 측정하기 위하여 4-단계 Secco-에칭에 따라 선택적인 에칭을 수행하였다. 그 측정 결과를 도 3에 나타내었다. 도 3에서, 가로축은 S01층의 스톱 제거 두께를 나타내며, 세로축은 결합 피트 밀도를 나타낸다. 도 3은 S01 층이 동일한 깊이로 제거된 2개의 웨이퍼의 평균 값을 나타낸다. 비교를 위해, 기체상 에칭 처리를 하지 않은 2개의 남아 있는 웨이퍼들을 4단계 Secco-에칭법에 따라 그 결합 피트 밀도에 대해 평가하였다. 평가 결과를 역시 도 3에 나타내었다.

도 3에서 명확하게 나타난 비와 같이, S01층의 스톱 제거량이 약 200nm까지 증가함에 따라, 결합 피트의 밀도는 급격히 감소한다; 그러나, S01 층의 스톱 제거량이 200nm 이상으로 증가하면, 밀도는 실제로 변하지 않고 낮은 수준으로 남아있다. 따라서, 결합층이 최소한 200nm의 깊이로 에칭되면, 극도로 낮은 수준의 결합을 갖는 S01층을 갖는 S01 웨이퍼를 얻는다.

본 발명은 상기 실시예에 한정되지 않는다. 상기 실시예는 단순한 예이며, 청구항에 기술된 것과 실제로 동일한 구조를 가지며 유사한 작용과 효과를 제공하는 것들은 본 발명의 범위에 포함된다.

예를들어, 위에서 기술한 것들은 2개의 실리콘 웨이퍼들이 결합되어 S01 웨이퍼를 얻는 경우에 초점을 두었다. 그러나, 본 발명은 상기 실시예에 한정되지 않는다. 예를들어, 본 발명은 실리콘 웨이퍼가 절연체 웨이퍼에 결합되는 경우; 이온-주입된 웨이퍼가 이들에 결합되는 경우; 및 이온-주입된 웨이퍼의 일부가 박리되어 S01 웨이퍼를 얻는 경우에 적용가능한 것이다.

#### 발명의 효과

상기한 비와 같이, 본 발명의 방법에 의하면 고도의 두께 균일성과 높은 결정성 및 품질 수준이 극도로 낮은 얇은 S01층을 갖는 S01 웨이퍼를 제공할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

2개의 실리콘 웨이퍼중 최소 하나의 표면에 산화막을 형성하는 단계;

웨이퍼내에 미소 기포층(봉입층)을 형성하기 위해 2개의 실리콘 웨이퍼중 하나의 상부 표면에 수소 이온 또는 희유 기체 이온을 주입하는 단계;

이온 주입된 표면이 산화막을 통해 다른 실리콘 웨이퍼와 밀착하도록 이온-주입된 실리콘 웨이퍼를 다른 실리콘 웨이퍼상에 겹치는 단계;

박막을 형성하기 위하여, 미소 기포층을 박리면으로 사용하면서, 이온-주입된 웨이퍼의 일부를 박리하기 위하여 열처리를 수행함으로써 S01 웨이퍼를 얻는 단계;

를 포함하여 이루어지며,

이렇게 얻은 SOI 웨이퍼의 박리면에서의 결함층을 증기상 에칭을 통해 제거하는 SOI 웨이퍼 제조 방법.

#### 청구항 2

웨이퍼내에 미소 기포층(봉입층)을 형성하기 위하여 실리콘 웨이퍼의 상부 표면에 수소 이온 또는 희유 기체 이온들을 주입하는 단계;

이온-주입된 표면이 절연성 웨이퍼와 밀착하도록 이온-주입된 웨이퍼를 절연체 웨이퍼 위에 겹치는 단계;

박막을 형성하기 위하여, 미소 기포층을 박리면으로 사용하면서, 이온-주입된 웨이퍼의 일부를 박리하기 위하여 열처리를 수행하는 단계;

를 포함하여 이루어지며,

이렇게 얻은 SOI 웨이퍼의 박리면의 결함층을 증기상 에칭을 통해 제거하는 SOI 웨이퍼 제조 방법.

#### 청구항 3

제1항에 있어서, 상기 결함층은 증기상 에칭에 의해 200nm 이상의 깊이로 식각됨을 특징으로 하는 SOI 웨이퍼 제조 방법.

#### 청구항 4

제2항에 있어서, 상기 결함층은 증기상 에칭에 의해 200nm 이상의 깊이로 에칭됨을 특징으로 하는 SOI 웨이퍼 제조 방법.

#### 청구항 5

제1항에 있어서, 상기 증기상 에칭에 의해 처리된 표면은 나마가 경면 연마(mirror polishing) 처리됨을 특징으로 하는 SOI 웨이퍼 제조 방법.

#### 청구항 6

제2항에 있어서, 상기 증기상 에칭에 의해 처리된 표면은 나마가 경면 연마 처리함을 특징으로 하는 SOI 웨이퍼 제조 방법.

#### 청구항 7

제3항에 있어서, 상기 증기상 에칭에 의해 처리된 표면은 나마가 경면 연마로 처리함을 특징으로 하는 SOI 웨이퍼 제조 방법.

#### 청구항 8

제4항에 있어서, 상기 증기상 에칭에 의해 처리된 표면은 나마가 경면 연마 처리함을 특징으로 하는 SOI 웨이퍼 제조 방법.

#### 청구항 9

제1항의 방법에 따라 제조된 SOI 웨이퍼.

#### 청구항 10

제2항의 방법에 따라 제조된 SOI 웨이퍼.

#### 청구항 11

제3항의 방법에 따라 제조된 SOI 웨이퍼.

#### 청구항 12

제4항의 방법에 따라 제조된 SOI 웨이퍼.

#### 청구항 13

제5항의 방법에 따라 제조된 SOI 웨이퍼.

#### 청구항 14

제6항의 방법에 따라 제조된 SOI 웨이퍼.

#### 청구항 15

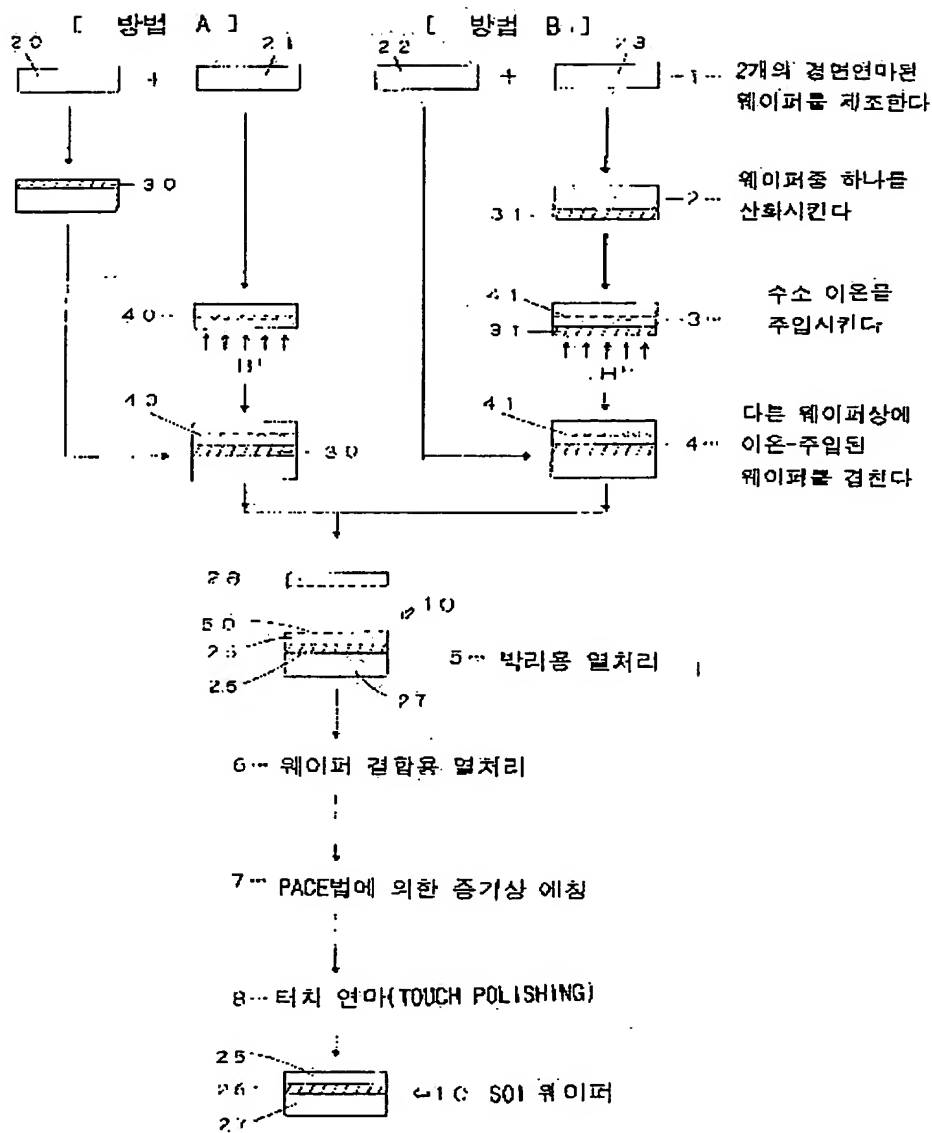
제7항의 방법에 따라 제조된 SOI 웨이퍼.

#### 청구항 16

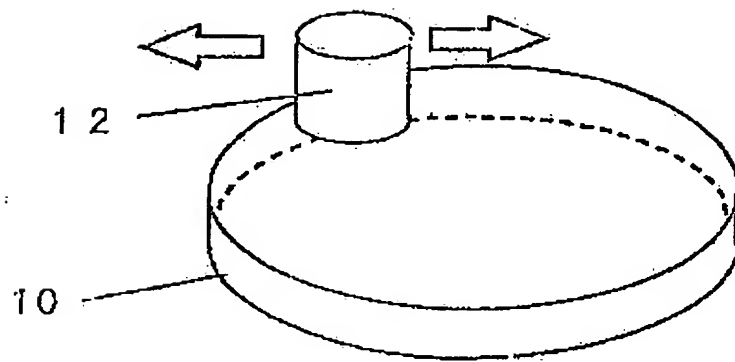
제8항의 방법에 따라 제조된 SOI 웨이퍼.

도면

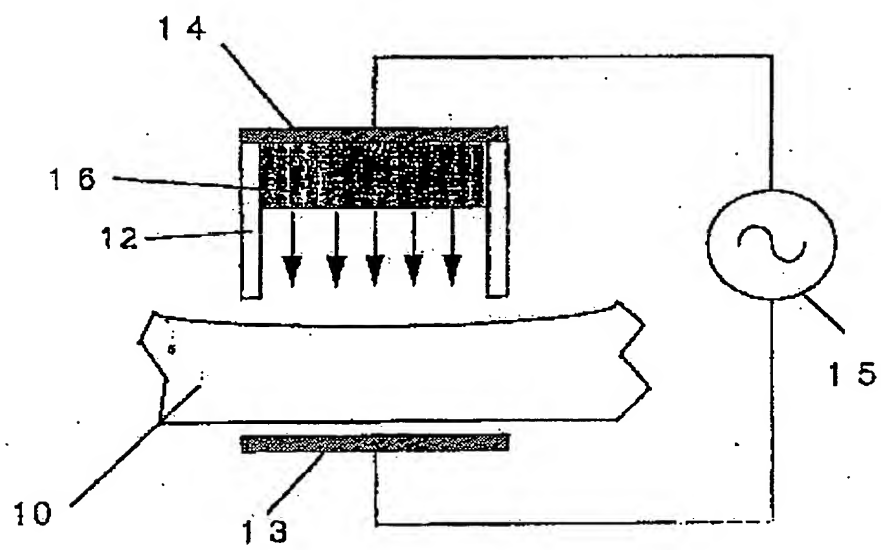
도면 1



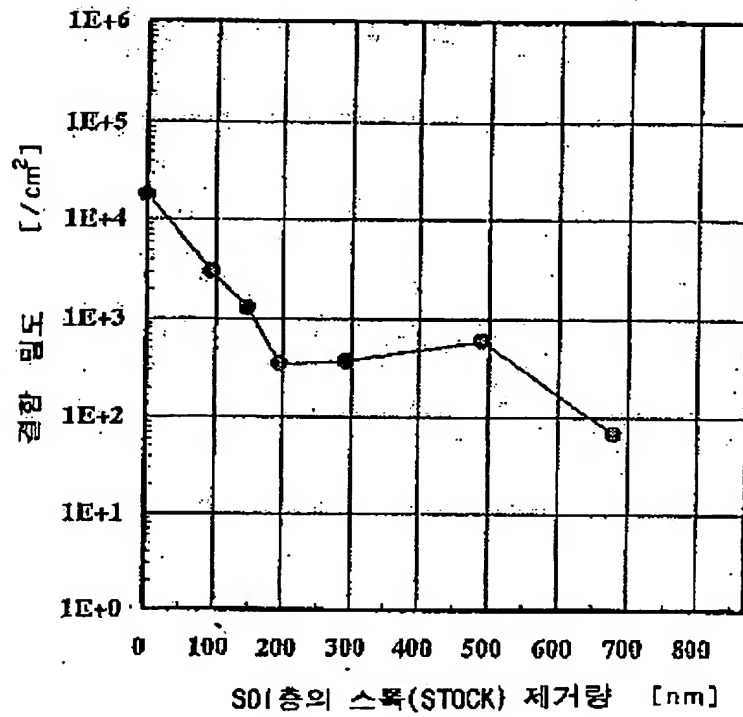
도 2a



도 2b



도 9





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**